

(11)Publication number : 06-148680
(43)Date of publication of application : 27.05.1994

(21)Application number : 04-298403
(22)Date of filing : 09.11.1992

(71)Applicant : HITACHI LTD
(72)Inventor : MISHIMA YASUYUKI
KITAJIMA MASAOKI
HIYAMA IKUO
KAKEHI NAOFUMI

<http://www1.ipdl.jpo.go.jp/PA1/result/detail/main/wAAAa10491DA406148680P1.h...> 2002/08/20

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-148680

(43)公開日 平成6年(1994)5月27日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9018-2K	
	1/133	5 5 0	9226-2K	
	1/1343		9018-2K	
G 0 9 G	3/36		7319-5G	
			9056-4M	

H 0 1 L 29/ 78 3 1 1 A

審査請求 未請求 請求項の数3(全 9 頁) 最終頁に続く

(21)出願番号 特願平4-238403

(22)出願日 平成4年(1992)11月9日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 三島 康之

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 北島 雅明

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 楡山 郁夫

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

(54)【発明の名称】 マトリクス型液晶表示装置

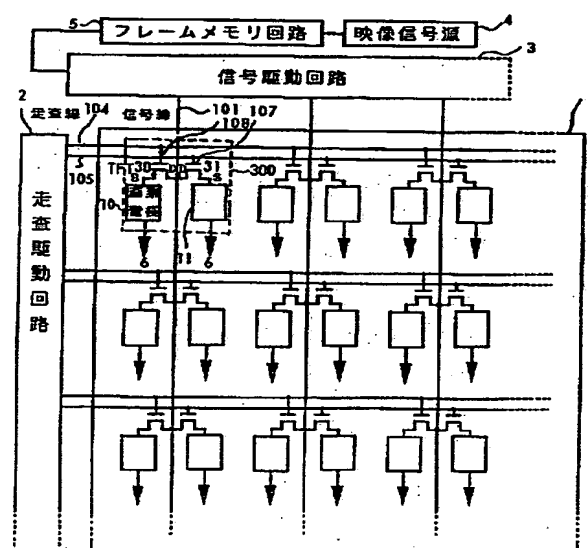
(57)【要約】

【目的】マトリクス型液晶表示装置の小型化を実現すること。

【構成】各行毎の隣接する薄膜トランジスタのドレイン電極を t 個単位(但し、 t は任意)でまとめて1本の信号線に接続し、各行毎の同一ドレイン電極に接続されている薄膜トランジスタのゲート電極が別々に接続された各行毎に t 本設けられた走査線ゲート配線で構成されるマトリクス型液晶表示パネル。

【効果】マトリクス型液晶表示パネルを駆動する際に用いる駆動回路の使用数を低減することにより表示装置全体の小型化を可能にする。

図 1



【特許請求の範囲】

【請求項1】 一对の基板内に液晶が封入され、該基板の一方に共通電極、他方の基板上にマトリクス状に配列された薄膜トランジスタ、該薄膜トランジスタのソース電極に一对一に接続された画素電極、各行毎の隣接する薄膜トランジスタを t 個単位（但し、 t は任意）でまとめた薄膜トランジスタ群、前記薄膜トランジスタ群中の各薄膜トランジスタのドレイン電極が共通に接続されている信号線、前記薄膜トランジスタ群の各薄膜トランジスタのゲート電極がそれぞれ別々に接続された各行毎に t 本設けられた走査線と少なくとも構成された液晶パネル。

【請求項2】 請求項1において、上記薄膜トランジスタ群の薄膜トランジスタの数により映像信号源から出力される映像信号データを取り込み映像信号のデータ出力順番の並べ替えを変化させて出力を行うことを特徴とするフレームメモリ回路。

【請求項3】 請求項1における液晶パネルと前記液晶パネルの走査線に接続された走査駆動回路、前記信号線に映像信号を供給する信号駆動回路及び前記信号駆動回路に接続された請求項2におけるフレームメモリ回路で少なくとも構成されたことを特徴とするマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マトリクス表示装置に係わり、特に信号側の駆動回路の規模を低減でき、使用数を少なくし、表示装置の小型化を可能にするマトリクス装置に関する。

【0002】

【従来の技術】 フラットディスプレイとして、MOS、薄膜トランジスタ（以下TFTと称す。）等の3端子素子及び、MIM（Metal-Insulator-Metal）等の2端子素子とスイッチング素子として用い、画像を表示する液晶アクティブマトリクス表示装置が知られている。

【0003】 従来の技術によるTFTの駆動による液晶アクティブマトリクス表示装置としては特開昭60-97322号に示されているものがある。これは各画素を夫々独立に駆動するためのTFTがマトリクス状に形成された基板を有する液晶マトリクスパネルにおいて2個以上の同一電気特性のTFTをまとめたTFT群からなり、同一の群に含まれるTFTは同一の走査線及び信号線に接続されていることを特徴としている。この時1つのTFT群に含まれるTFTに接続されている各画素を合わせたものを1つの画素とみなすことで、TFTの動作不良による完全な画素欠陥の発生を低減することが可能である。

【0004】

【発明が解決しようとする課題】 上記、従来の技術による液晶アクティブマトリクス表示装置においては複数個

の分割画素で1つの画素を形成しているためパネルに形成するTFT数及び分割画素数が多くなり1画素の大きさを一定とするとTFT及び分割画素を小さく形成する必要があるため、TFTの動作不良の増加や、画素電極の面積が小さくなり精細度が低下する。

【0005】 また、 n 行 m 列の画素がマトリクス状に配列されたマトリクスパネルの走査線は n 本、信号線は m 本必要である。このため走査駆動回路、信号駆動回路の出力本数は、夫々 n 本、 m 本となる。出力数が k 本の駆動回路を用いて駆動装置を構成する場合、全体の駆動回路数 U は $U \geq n/k + m/k$ 個必要である。特にコンピュータ等の端末装置のモニターに適用する場合、高精細のマトリクスパネルが必要であり、この時の画素数は460万画素以上となって、駆動回路数が非常に多くなる。また、カラー表示を行う場合、信号駆動回路は走査駆動回路と比較して回路が複雑であるため回路面積が大きくなる。以上従来技術により高精細のマトリクスパネルを駆動すると駆動回路の規模が非常に大きくなり、表示装置を小型化、軽量化することが難しくまた信頼性の点でも問題があった。

【0006】 本発明の目的は装置全体の駆動回路を小型化し装置の簡素化、高信頼性化を達成することにある。

【0007】

【課題を解決するための手段】 上記目的を達成するため、本発明は、 n 行、 m 列の画素からなるマトリクスパネルにおいて各列行毎の隣接するTFT薄膜のドレイン電極を t 個単位（但し、 t は任意）でまとめて共通に接続して1本の信号線で形成すると共に共通に接続された各々のTFTを独立に制御できるように各行毎につき t 本の走査線を形成する。

【0008】

【作用】 上記手段を用いることにより、走査線数が従来例と比較して t 倍となり、一方の信号線数が $1/t$ 倍となる。これによって装置全体の駆動回路数 U は、 $U \geq (t \times n) / k + m / (t \times k)$ となり $n \leq m$ の場合には駆動回路数は低減され表示装置全体の小型化を向上させることが可能になる。また信号線数が $1/t$ になるために走査回路に比べて複雑な信号駆動回路の出力数も $1/t$ になり回路の規模を小さくできる。

【0009】

【実施例】 本発明による液晶アクティブマトリクス表示装置の構成例を図1に示す。

【0010】 装置はTFT30、31、画素電極10、11、走査線104、105、ゲート接続線106、107、信号線101の各部品で構成されたTFT群300がマトリクス状に配置されたTFT基板1と図示していないが共通電極6を設けた共通電極基板との間に液晶を封入した液晶パネルと走査駆動回路2、信号駆動回路3、フレームメモリ回路5で構成され、全体として n 行 m 列の画素を持つマトリクス表示装置を成している。

【0011】以下、本実施例の特徴であるパネルの構成を説明する。隣接する画素電極10及び11にTFT30及び31のソース電極Sを接続すると共に前記TFT30及び31のドレイン電極Dの両方を信号線101に接続する。また、前記TFT30のゲート電極を走査線104にゲート接続線106を介して接続すると共にTFT31のゲート電極を走査線105にゲート接続線107を介して接続する。このようにしてTFT群300を形成し、同様にTFT群をパネル全体にマトリクス状に形成する。この接続によりTFT群中の各々のTFTを独立してON又はOFF状態に制御できる。次に各走査線を走査駆動回路2の出力端子に接続し、各信号線を信号駆動回路3の出力端子に接続する。以下同様にパネル全体の走査線、信号線を駆動回路に接続する。こうすることにより走査線、信号線各々に独立した駆動電圧を印加することができる。前記信号駆動回路3の入力端子はフレームメモリ回路5の出力端子に接続され、前記フレームメモリ回路5の入力端子は映像信号源4に接続する。フレームメモリ回路5はパソコン等の映像信号源4から出力される映像信号を取り込み、映像信号のデータ出力順番を変換して出力をおこなう。この変換方法を図2を用いて説明を行う。図2に示すようにmが2の倍数(偶数)の場合、1水平走査期間(1H)毎に1, 2, 3, 4, ..., m-1, m列目データというように順次送られて来る映像信号をフレームメモリ回路によって変換し、1H毎に奇数データを1, 3, ..., m-1列データを順次1水平奇数列期間中(1/2水平走査期間)に出力し、次に偶数列データを2, 4, ..., m列データを順次1水平偶数列期間中(1/2水平走査期間)に出力する。この映像信号の変換を行うことで信号駆動回路3の出力端子は1Hにおいて最初の1/2Hで奇数列の信号電圧を発生し、次の1/2Hで偶数列画素の信号電圧を出力することになる。この結果、フレームメモリ回路を映像信号源と信号電圧駆動回路の間に設けることで本実施例の液晶マトリクスパネルの各画素電極に所定の信号電圧を印加することが可能となる。

【0012】次に本実施例の液晶マトリクスパネルの駆動方法を図3を用いて説明する。

【0013】例えば実施例におけるパネルの1列1行目の液晶画素を駆動させるには走査線104に走査電圧VG(104)を印加してTFT30を1/2Hの期間ON状態にする。この状態で信号線101に信号電圧VD(101)を印加して液晶画素を駆動させる。同様に走査電圧VG(104)を印加したときにはすべての信号線に信号電圧を印加し、1行目の全ての奇数列液晶画素を駆動する。この時1行目の全ての偶数列液晶画素のTFTはOFF状態であるため液晶画素に変化は生じない。

【0014】次に走査線104に接続されているTFT、つまり1行目の全ての奇数列液晶画素に接続された

TFTがOFF状態になったときに走査線105に走査電圧VG(105)を印加して偶数列目のTFT31を1/2Hの期間ON状態にする。この状態で信号線101に信号電圧VD(101)を印加して液晶画素を駆動させる。同様に走査電圧VG(105)を印加したときにはすべての信号線に信号電圧を印加し、1行目の全ての偶数列液晶画素を駆動する。この時1行目の全ての奇数偶数列液晶画素のTFTはOFF状態であるため液晶画素に変化は生じない。このようにして1Hの期間において1行目のすべての液晶画素を駆動する。以下パネルの走査線に順次走査電圧を印加し全ての画素を駆動させる。

【0015】この結果、上記手段を用いることにより、n行m列の画素をもつ液晶マトリクスパネルにおいて走査線数が従来例と比較して2倍となり、一方の信号線数が1/2倍となる。これによって装置全体の駆動回路数Uは、1つの駆動回路の出力数をkとしたときに $U \geq (2 \times n) / k + m / (2 \times k)$ となり $n \leq m$ の場合には駆動回路数は低減される。これにより表示装置全体の小型化を向上させることが可能になる。また信号線数が1/2になるために信号駆動回路の出力数も1/2になり回路の規模を小さくできる。

【0016】この実施例においてはmは2の倍数(偶数)であるがmが奇数の場合においては図4に示すようにm-1列目までの画素構成は前記実施例と同様であるが1行m列目の画素構成は画素電極28にTFT48のソース電極が接続され、そのTFT48のゲート電極は走査線104に接続され、TFT48のドレイン電極は信号線110に接続されている。同様に各行のm列目の画素電極は信号線110に接続された構成をとるようにする。このように1行あたりに接続されているTFTの数がすべての信号線において同じ必要はなく他の信号線と1行あたり接続されるTFTが異なった信号線が配線される場合でもよい。

【0017】この図1の実施例においては走査線104と105は画素電極30と31の上部に配線がなされているために走査線104とTFT30のゲート電極を接続するためにゲート接続線106が必要となる。このゲート接続線106と走査線105が交差するため配線交差108が生じる。しかし図5のように走査線104と105が画素電極30と31の上部と下部に配線を配置することにより、ゲート接続線と走査線との配線交差の生じない構造となり動作不良が低減できる。

【0018】この図1のパネル構造を持つ実施例において、画素電極は水平方向、垂直方向に配列された構造をしているが図6に示すように例えば画素電極12が画素電極10の真下ではなく、水平方向に半画素ずれて画素電極10と11の斜め下に配置するようなデルタ配置をとるパネル構造のものでも信号線101を蛇行させて配線を行う場合でもよい。

5

【0019】この図1における実施例においてパソコン等の映像信号源から出力された映像信号をフレームメモリ回路を用いて実施例パネルを駆動できる映像信号に変換を行っているが映像信号源そのものから実施例パネルを駆動できる映像信号が出力され直接信号駆動回路に入力する場合及び信号駆動回路に実施例パネルを駆動できる映像信号に映像信号を変換する機能を持たせた場合でもよい。

【0020】この図1における実施例においてはTFT群は2個のTFTで成り立っているが図7に示すように例えば3個のTFT220~222が1本の信号線212に接続される場合、または、図示していないが1行あたり4個以上のTFTからなるTFT群でパネルが形成された場合のものでもよい。その際、例えば図7のTFT250が走査線201と接続し、TFT251が走査線202と接続しTFT252が走査線203と接続されているように共通に1本の信号線に接続された各々のTFTを独立に制御できるように各TFTのゲート電極はそれぞれ異なる走査線に接続しTFT群301が形成される。TFT群が4個以上のTFTから成り立つ場合でも群中のTFTのソース電極が個々の画素電極に接続され、各ドレイン電極が1本の信号線に接続され、各ゲート電極が別々の走査線に接続されていればよい。この際フレームメモリ回路も出力状態が変わり、例えば3個のTFTが1本の信号線に接続される場合は図8に示すようにフレームメモリ回路の出力はmを3の倍数とすると1H期間において1, 4, 7, ..., m-5, m-2列目データを最初の1/3H期間に出力し、2, 5, 8, ..., m-4, m-1列目データを次の1/3H期間に出力、最後の1/3H期間に3, 6, 9, ..., m-3, m列目データと順次出力を行う。これにより図9に示すように各走査線選択時にその走査線にTFTを介して接続された画素電極に所定の信号を印加可能にすればよく、1行あたり3個以上のTFTが1本の信号線に接続される場合

6

でも同様である。このように1行あたり3個以上のTFTが1本の信号線に接続される場合においても映像信号のデータ出力をフレームメモリ回路で変換し映像信号のデータ出力順番の並べ替えを行うことで走査線に薄膜トランジスタを介して接続されている画素電極に所定の信号電圧を印加することができる。

【0021】

【発明の効果】以上詳述したように本発明によれば、マトリクス型液晶表示パネルを駆動する際に用いる駆動回路の使用数を低減することにより表示装置全体の小型化を可能にする。

【図面の簡単な説明】

【図1】本発明によるマトリクス型液晶表示パネルの実施例を示す図である。

【図2】本発明によるフレームメモリ回路の映像信号変換例を示す図である。

【図3】本発明による駆動タイミング例を示す図である。

【図4】本発明の変形例を示す図である。

【図5】本発明の変形例を示す図である。

【図6】本発明の変形例を示す図である。

【図7】本発明の応用例を示す図である。

【図8】本発明の応用例に対するフレームメモリ回路の映像信号変換例を示す図である。

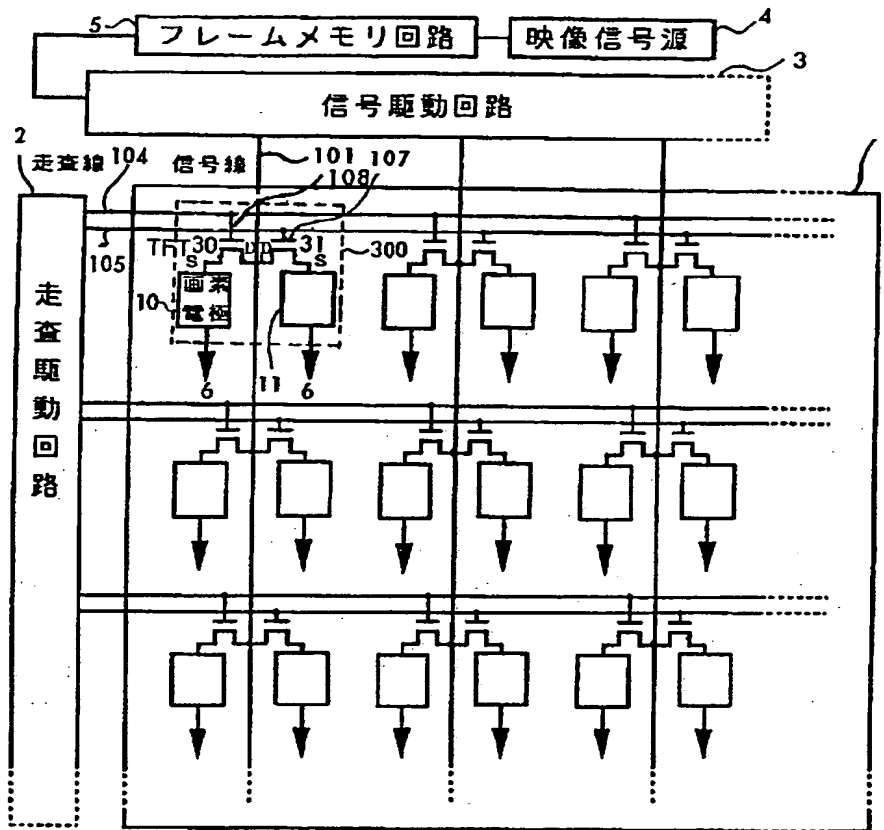
【図9】本発明の応用例に対する駆動タイミング例を示す図である。

【符号の説明】

1...TFT基板、2...走査駆動回路、3...信号駆動回路、4...映像信号源、5...フレームメモリ回路、6...共通電極、10, 11, 28...画素電極、30, 31, 48, 250, 251, 252...TFT、101, 110, 212...信号線、104, 105, 201, 202, 203...走査線、106, 107...ゲート接続線、108...配線交差、300, 301...TFT群。

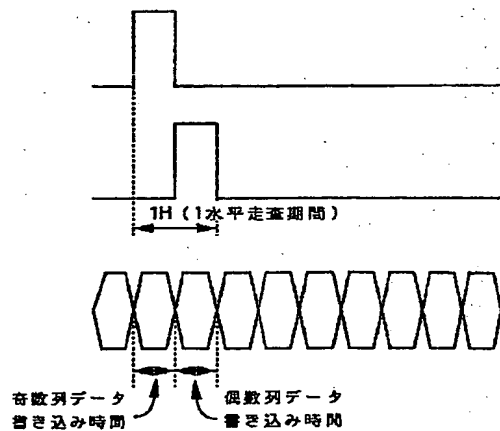
【図1】

図 1



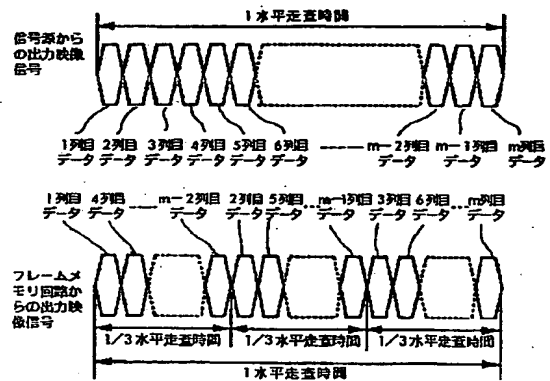
【図3】

図 3



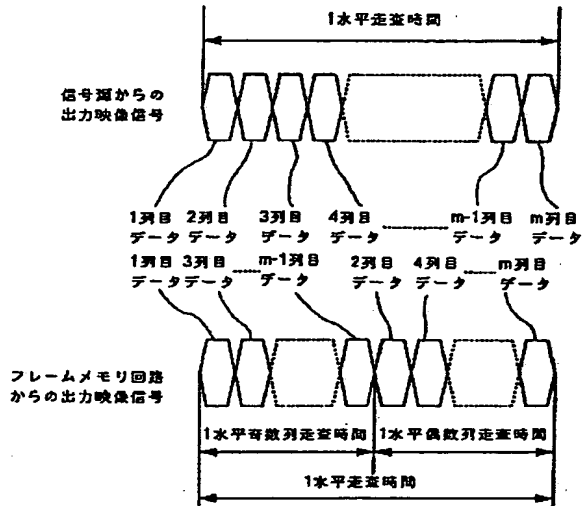
【図8】

図 8



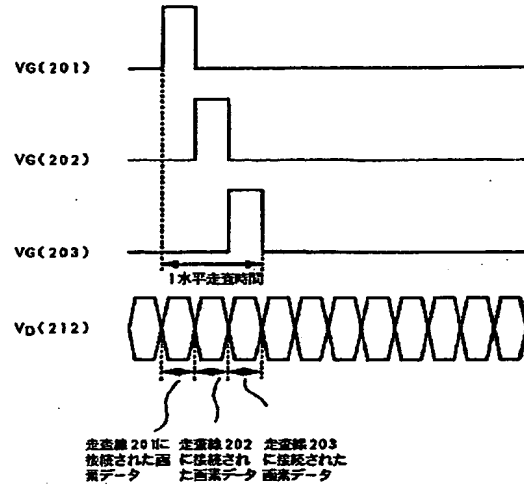
【図2】

図 2



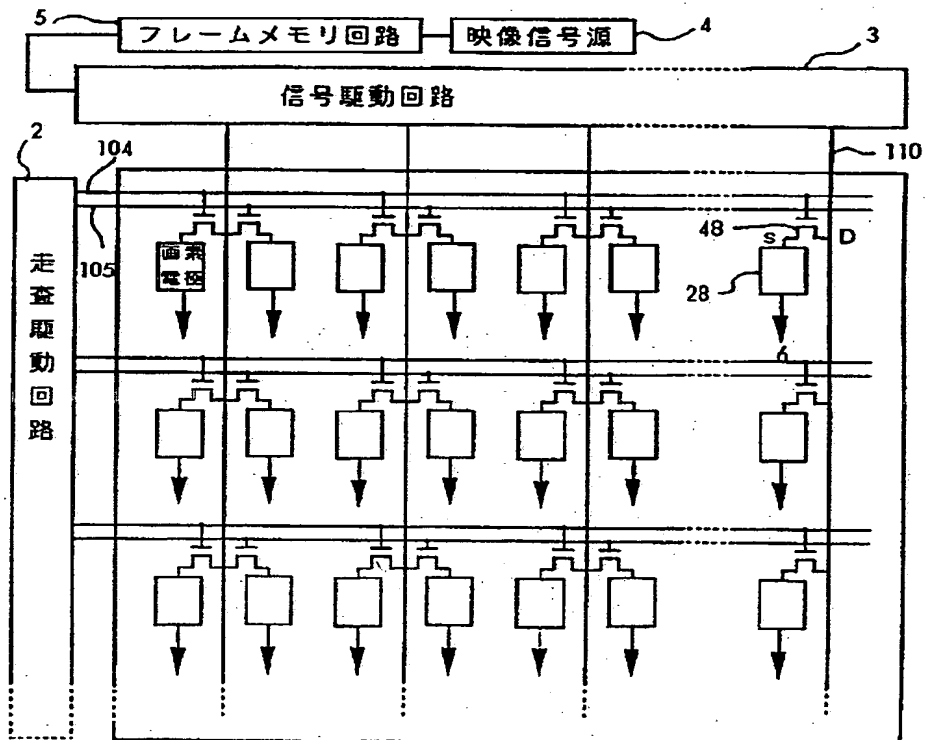
【図9】

図 9



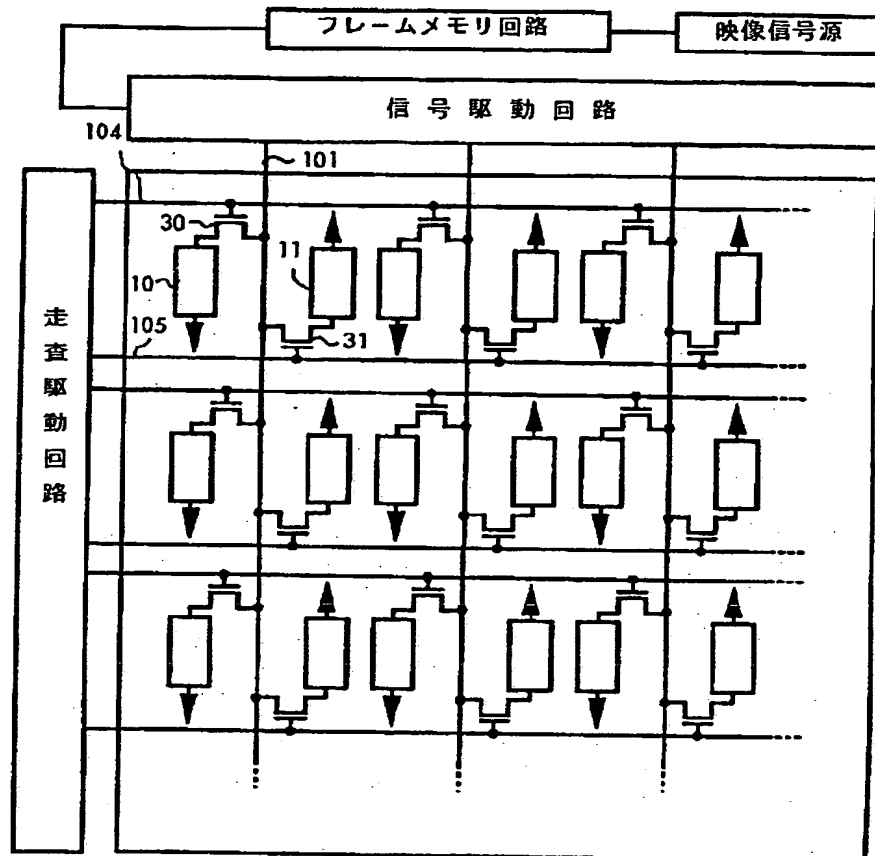
【図4】

図 4



【図5】

図 5



【図6】

図 6

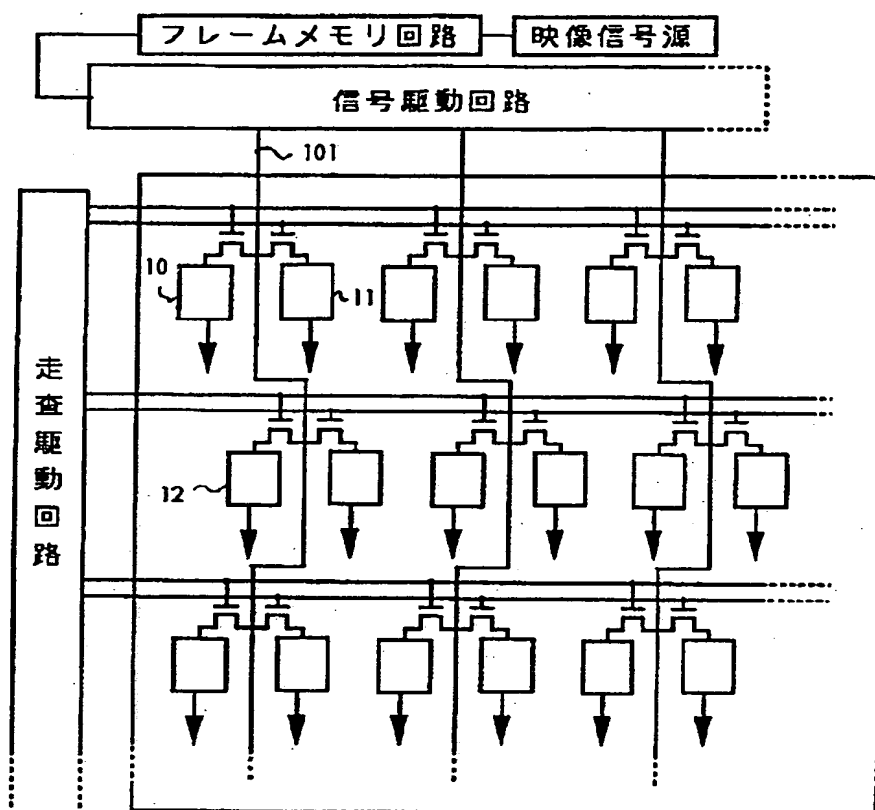


圖 7



技術表示箇所

茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内